

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-247740

(43)Date of publication of application : 14.09.1998

(51)Int.Cl.

H01L 31/10

G02B 6/42

H04B 10/28

H04B 10/02

(21)Application number : 09-048804

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

HAMAMATSU PHOTONICS KK

(22)Date of filing : 04.03.1997

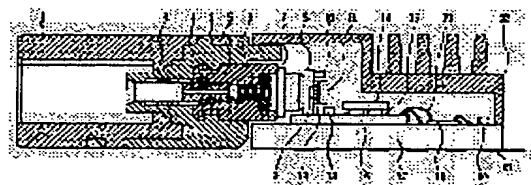
(72)Inventor : HIROSE MASAKI  
ICHINO HARUHIKO  
WARASHINA SADAHISA  
KYOMASU MIKIO

## (54) CIRCUIT BOARD FOR PHOTODETECTING MODULE

## (57)Abstract:

PROBLEM TO BE SOLVED: To make feasible of the minimum parasitic impedance connection between a photodetecting element packaging substrate and other substrate by a method wherein the plate thickness corresponding to the distance between the first and second surfaces of one substrate is set up for impedance matching with the other substrate.

SOLUTION: The signal wiring pattern between a ceramic substrate and a main amplifier circuit base ceramic substrate 16 must form a microstrip line impedance matching with the signal wiring pattern. The signal wiring pattern width is decided by the thickness of the wiring pattern surface and a gland pattern surface, dielectric constant and impedance value. Besides, for the impedance matching, the signal wiring pattern width on the ceramic substrate must be equalized with the width of the main amplifier circuit base ceramic substrate 16. However, the thickness of the gland pattern surface of the ceramic substrate must be adjusted due to the specified dielectric constant of the ceramic substrate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10247740 A**(43) Date of publication of application: **14 . 09 . 98**

(51) Int. Cl.

**H01L 31/10**  
**G02B 6/42**  
**H04B 10/28**  
**H04B 10/02**

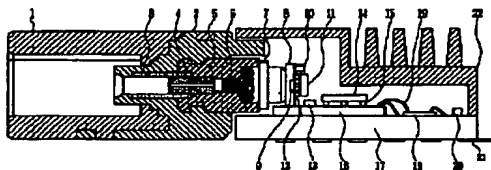
(21) Application number: **09048804**(22) Date of filing: **04 . 03 . 97**(71) Applicant: **NIPPON TELEGR & TELEPH  
CORP <NTT> HAMAMATSU  
PHOTONICS KK**(72) Inventor: **HIROSE MASAKI  
ICHINO HARUHIKO  
WARASHINA SADAHISA  
KYOMASU MIKIO**(54) **CIRCUIT BOARD FOR PHOTODETECTING  
MODULE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To make feasible of the minimum parasitic impedance connection between a photodetecting element packaging substrate and other substrate by a method wherein the plate thickness corresponding to the distance between the first and second surfaces of one substrate is set up for impedance matching with the other substrate.

**SOLUTION:** The signal wiring pattern between a ceramic substrate and a main amplifier circuit base ceramic substrate 16 must form a microstrip line impedance matching with the signal wiring pattern. The signal wiring pattern width is decided by the thickness of the wiring pattern surface and a gland pattern surface, dielectric constant and impedance value. Besides, for the impedance matching, the signal wiring pattern width on the ceramic substrate must be equalized with the width of the main amplifier circuit base ceramic substrate 16. However, the thickness of the gland pattern surface of the ceramic substrate must be adjusted due to the specified dielectric constant of the ceramic substrate.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-247740

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 31/10

H 0 1 L 31/10

G

G 0 2 B 6/42

G 0 2 B 6/42

H 0 4 B 10/28

H 0 4 B 9/00

W

10/02

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平9-48804

(22) 出願日

平成9年(1997) 3月4日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 広瀬 正樹

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 市野 晴彦

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人 弁理士 古谷 史旺

最終頁に続く

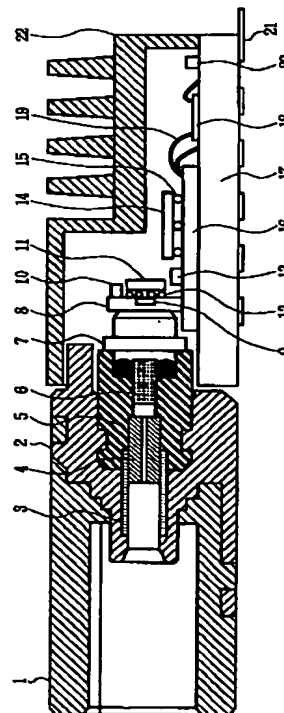
(54) 【発明の名称】 受光モジュール用回路基板

(57) 【要約】

【課題】 受光素子を実装する基板と他の基板との間の寄生インピーダンスを最小限に抑えて接続することができる受光モジュール用回路基板を実現する。

【解決手段】 粉体成形された基板の第1面にフォトダイオードまたはフォトダイオードと電気回路を取り付ける配線パターンを形成し、基板の第1面に対向する第2面に接地電極を形成し、基板の第1面と第2面に垂直な第3面に他の基板との接続を行う配線パターンを形成し、基板の第1面と第2面の距離に相当する板厚は、他の基板とインピーダンス整合がとれるように設定する。

本発明の受光モジュール用回路基板を用いた受光モジュールの実施形態 (断面線成)



## 【特許請求の範囲】

【請求項1】 粉体成形された基板の第1面にフォトダイオードまたはフォトダイオードと電気回路を取り付ける配線パターンが形成され、

前記基板の第1面に対向する第2面に接地電極が形成され、

前記基板の第1面と第2面に垂直な第3面に他の基板との接続を行う配線パターンが形成され、

前記基板の第1面と第2面の距離に相当する板厚は、前記他の基板とインピーダンス整合がとれるように設定されたことを特徴とする受光モジュール用回路基板。

【請求項2】 請求項1に記載の受光モジュール用回路基板において、

基板の第3面に配線パターンを凸部とする凹凸を設け、その凸部のみにメタライズを行い、かつ第3面の両端部をメタライズ面より突出させた構成であることを特徴とする受光モジュール用回路基板。

【請求項3】 請求項1または請求項2に記載の基板を主基板とし、この主基板と光路長を調整する厚さを有する副基板とを接合して構成されたことを特徴とする受光モジュール用回路基板。

【請求項4】 請求項3に記載の受光モジュール用回路基板において、

主基板および副基板に、フォトダイオードに入射する光を通す孔が設けられた構成であることを特徴とする受光モジュール用回路基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、超高速光伝送システム用の光受信器として用いられるフロントエンド回路を内蔵した受光モジュールに用いられる回路基板に関する。

## 【0002】

【従来の技術】 信号速度がギガビット／秒程度以上の高速信号を光・電気変換する受光モジュールでは、高速特性を満足するために素子間の寄生インピーダンスを可能な限り低減することが要求される。そのためには、バンプ接続（フリップチップ接続）を用いたフロントエンド回路が有効である。

【0003】 図5は、フロントエンド回路を内蔵した従来の受光モジュールの断面構成を示す（特開平2-297511号公報）。図において、フロントエンド回路51は、バンプ接続されるフォトダイオード52と電子回路素子53により構成される。フロントエンド回路51は、フォトダイオード（PD）52が回路基板54の孔55に入るようにして、半田バンプ56により回路基板54にバンプ接続される。光ファイバ57はファイバ支持部品58により固定され、光ファイバ57から出射された光信号は球レンズ59および孔55を介してフォトダイオード52に集光される。フォトダイオード52が

ら出力される電気信号は、電子回路素子53から半田バンプ56、回路基板54の配線、高周波ピン60を介して外部に出力される。回路基板54、球レンズ59、ファイバ支持部品58は、台／光結合部品ホルダー61に保持される。

【0004】 この構成の特徴は、フォトダイオード52がバンプ接続されたフロントエンド回路51が、さらに回路基板54にバンプ接続されているところにある。これにより、両接続に伴う寄生インピーダンスを従来のワイヤボンディング等より大きく削減でき、10Gbit/s程度の超高速動作が可能になった。

## 【0005】

【発明が解決しようとする課題】 ところで、図5に示すフロントエンド回路51の電子回路素子53はプリアンプICであり、その後段（モジュール外）に主増幅IC（リミッタ増幅IC、等化増幅IC、利得可変増幅IC、その他）、識別タイミングIC（識別PLLIC、速度変換IC、その他）等が接続される。したがって、プリアンプICから主増幅ICまでの接続で、回路基板54の配線、高周波ピン60、主増幅IC側における寄生インピーダンスが大きくなり、超高速領域で動作が不安定になる問題点があった。なお、主増幅ICがパッケージ実装であれば、パッケージのピン、パッケージ内基板配線、ワイヤボンディング等の寄生インピーダンスが問題になる。

【0006】 一方、主増幅ICや識別タイミングIC等を図5に示す光通信用受光モジュール内に実装しようとすると、回路基板54の上に実装せざるを得ない。これでは、台／光結合部品ホルダー61の形状が大きくなり、熱変形等が生じれば光軸ずれを引き起こす可能性が高くなる。本発明は、受光素子を実装する基板と他の基板との間の寄生インピーダンスを最小限に抑えて接続することができる受光モジュール用回路基板を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明の受光モジュール用回路基板は、粉体成形された基板の第1面にフォトダイオードまたはフォトダイオードと電気回路を取り付ける配線パターンを形成し、基板の第1面に対向する第2面に接地電極を形成し、基板の第1面と第2面に垂直な第3面に他の基板との接続を行う配線パターンを形成し、基板の第1面と第2面の距離に相当する板厚は、他の基板とインピーダンス整合がとれるように設定する。

## 【0008】

【発明の実施の形態】 図1は、本発明の受光モジュール用回路基板が用いられる受光モジュールの実施形態（断面構成）を示す。図において、レセプタクルユニットは、アダプタ1、樹脂製ケース2、スリーブ3、ファイバスタブ4、金属レンズホルダ5、レンズ6により構成される。受光ユニットは、光路調整用石英板7、本発明

による受光回路系セラミック基板8、フォトダイオード(PD)9、受動素子10、プリアンプIC11、パンプ12、受動素子13、主増幅IC14、パンプ15、主増幅回路系セラミック基板16により構成される。識別タイミング回路ユニットは、識別タイミング回路系セラミック基板17、識別タイミングIC18、配線ワイヤ19、受動素子20、リード21により構成される。このレセプタクルユニットと受光ユニットによりレセプタクル受光ユニットが構成され、さらに識別タイミング回路ユニットと外形ケース22を加えて受光モジュールが構成される。

【0009】裏面入射型のPD9がプリアンプIC11にパンプ接続され、このプリアンプIC11が受光回路系セラミック基板8にパンプ接続される。また、主増幅IC14は主増幅回路系セラミック基板16にパンプ接続される。受光回路系セラミック基板8と主増幅回路系セラミック基板16は接続される。プリアンプIC11、主増幅IC14、受動素子10、13は、両基板上でインピーダンス制御された短い伝送線路を介して接続され、超高速動作が可能になっている。

【0010】また、主増幅IC14と識別タイミングIC18はワイヤボンディングされる。なお、主増幅回路系セラミック基板16と識別タイミング回路系セラミック基板17は、接してはいるが接着されていないので、識別タイミングIC18等の発熱による変形は主増幅回路系セラミック基板16および受光回路系セラミック基板8に伝わらない。

【0011】ここで、本発明の特徴とする受光回路系セラミック基板8について説明する。光路調整用石英板7および受光回路系セラミック基板8と樹脂製ケース2との寸法精度は、調芯時の調整範囲から±200μm程度が限界である。このうち、樹脂製ケース2(金属レンズホルダ5)に取り付けられるレンズ6の性能に伴う光軸ずれにより±150μmの精度が要求されるので、±50μm以内の精度で受光回路系セラミック基板8を形成する必要がある。ところが、従来の製造方法によるセラミック基板は±150μm程度の誤差を有しており、精度を向上させるには研磨による補正が必要となる。本発明による受光回路系セラミック基板8は、この精度が簡単に得られる構造になっている。

【0012】受光回路系セラミック基板8は、図2に示すセラミック基板Aと、図3に示すセラミック基板Bが接合された構成である。図4は、セラミック基板Aとセラミック基板Bが接着剤で接合された状態を示す。以下、受光回路系セラミック基板8をセラミック基板Aとセラミック基板Bに分けている理由について説明する。図2の斜線部は、セラミック基板Aのメタライズ部分を示す。(a)はプリアンプIC11がパンプ接続される面を示し、(b)は主増幅回路系セラミック基板16に接続されるセラミック基板Aの底部を示し、(c)はセラミッ

ク基板Bに接合される面を示す。

【0013】セラミック基板Aと主増幅回路系セラミック基板16は、セラミック基板Aの底部に形成されたメタライズを介して電気的および機械的に接続されるが、その信号配線パターンはインピーダンス整合がとられたマイクロストリップラインを形成している必要がある。主増幅回路系セラミック基板16の信号配線パターン幅は、その配線パターン面とグランドパターン面との厚み、その誘電率、および目的とするインピーダンスの値で一義的に決定される。そして、インピーダンス整合をとる目的において、セラミック基板A上の信号配線パターン幅についても、主増幅回路系セラミック基板16の信号配線パターン幅に合わせる必要がある。しかし、セラミック基板Aの誘電率が決まっているので、インピーダンスの値調整にはセラミック基板Aのグランドパターン面との厚みを調整せざるをえない。一方、光学設計により決まる焦点位置にPD9を配置する必要があり、その光路長調整にセラミック基板Bをセラミック基板Aに接合させ、所定の厚さを確保している。

【0014】セラミック基板Aおよびセラミック基板Bに設けられた孔は、裏面入射型のPD9にレセプタクルを通してファイバからの光を入射させるためである。また、セラミック基板Aの底部に凹凸の段差溝を設け、厚膜印刷技術によりメタライズを施す。このとき、凸部にメタライズされ、凹部にメタライズされないので、セラミック基板Aとメタライズとの位置が絶対精度で自己整合させることができる。一方、セラミック基板Aを粉体成形技術で形成することにより、±10μm程度の高精度を達成することができる。したがって、メタライズも同程度の精度で形成することができる。

【0015】また、主増幅回路系セラミック基板16が接続されるセラミック基板Aの底部の両端は、図4に示すように数μm~数十μm程度突出させ、両者を接続する際の導電性樹脂または半田の厚みを吸収するようにしている。その突出部は、両者の接続部における寸法精度の不確定を解消する上で重要である。また、接続時に使用する接続治具の精度にもよるが、導電性樹脂または半田の厚みが不均一になると、セラミック基板Aと主増幅回路系セラミック基板16が傾いて接続される可能性がある。一方、主増幅回路系セラミック基板16と識別タイミング回路系セラミック基板17との間で図1に示すようにワイヤリングを行う場合には、両者を底面全体で接触させる必要があり、セラミック基板Aと主増幅回路系セラミック基板16の接続後の寸法精度は重要となる。セラミック基板Aの底部の両端にある突出部は、位置決めに供するとともに、その間にできる隙間で導電性樹脂または半田の厚みを吸収することができ、接続後の寸法精度を各セラミック基板の寸法精度のみに依存させることができる。これにより、後段回路との機械的および電気的接続を要する部分の設計を容易にすることがで

きる。

# 【0016】

【発明の効果】以上説明したように、本発明の受光モジュール用回路基板は、寸法精度および配線パターンの絶対精度を容易に得ることができる。したがって、この受光モジュール用回路基板を用いた受光モジュールの高性能／高機能化、品質向上、信頼性向上を図ることができる。

## 【図面の簡単な説明】

【図1】本発明の受光モジュール用回路基板が用いられる受光モジュールの実施形態（断面構成）を示す図。

【図2】受光回路系セラミック基板8を形成するセラミック基板Aの構成を示す図。

【図3】受光回路系セラミック基板8を形成するセラミック基板Bの構成を示す図。

【図4】受光回路系セラミック基板8の構成を示す図。

【図5】フロントエンド回路を内蔵した従来の受光モジュールの断面構成を示す図。

## 【符号の説明】

1 アダプタ

\* 20

\* 2 樹脂製ケース

3 スリーブ

4 ファイバスタブ

5 金属レンズホルダ

6 レンズ

7 光路調整用石英板

8 受光回路系セラミック基板（セラミック基板A，セラミック基板B）

9 フォトダイオード（PD）

10, 13, 20 受動素子

11 プリアンプIC

12, 15 パンプ

14 主増幅IC

16 主増幅回路系セラミック基板

17 識別タイミング回路系セラミック基板

18 識別タイミングIC

19 配線ワイヤ

21 リード

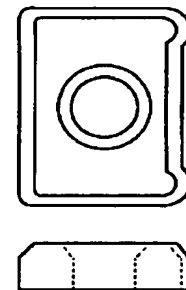
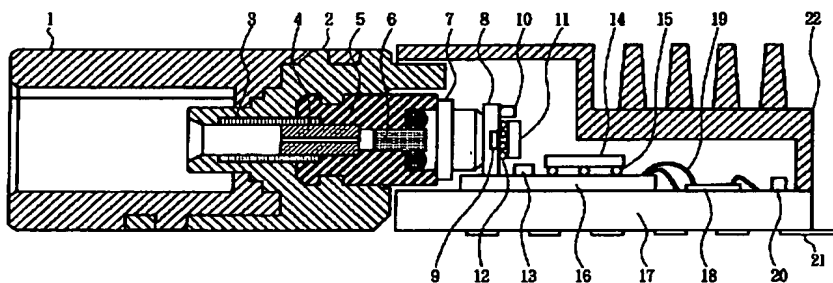
22 外形ケース

【図1】

【図3】

本発明の受光モジュール用回路基板を用いた受光モジュールの実施形態（断面構成）

受光回路系セラミック基板8を形成するセラミックBの構成

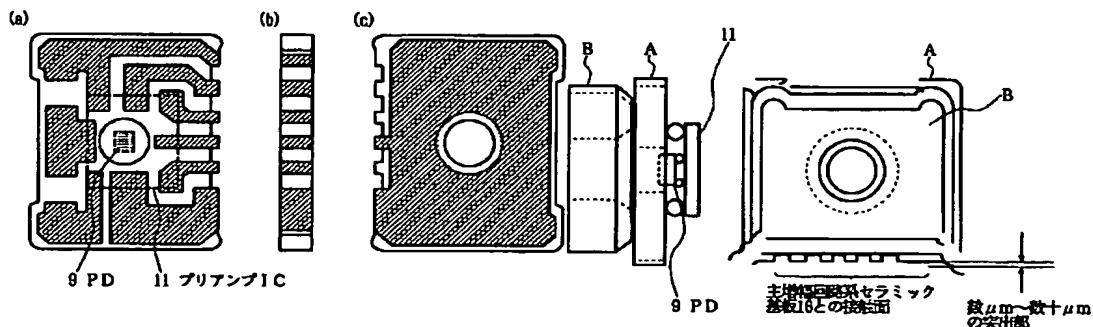


【図2】

【図4】

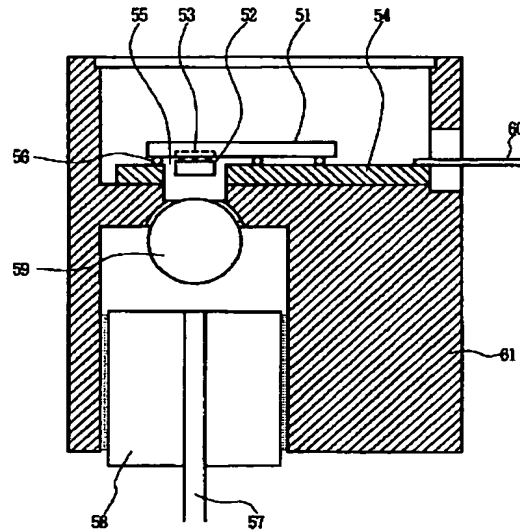
受光回路系セラミック基板8を形成するセラミックAの構成

受光回路系セラミック基板8の構成



【図5】

フロントエンド回路を内蔵した従来の光通信受光モジュールの断面構成



【手続補正書】

【提出日】平成9年3月7日

【手続補正1】

【補正対象書類名】図面

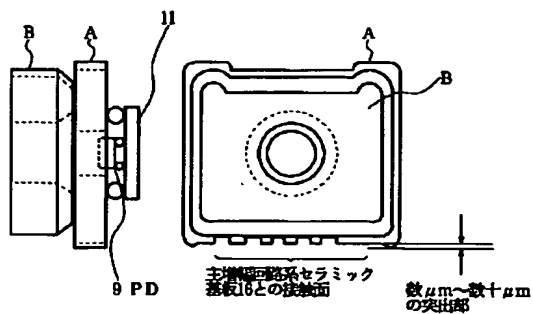
【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】

受光回路形セラミック基板8の構成



フロントページの続き

(72)発明者 藁科 禎久  
 静岡県浜松市市野町1126番地の1 浜松ホ  
 トニクス株式会社内

(72)発明者 京増 幹雄  
 静岡県浜松市市野町1126番地の1 浜松ホ  
 トニクス株式会社内